

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Seong-Ho Jeung  
Serial No.: To Be Assigned  
Filed: Concurrently Herewith  
For: SENSE AMPLIFIERS WITH OUTPUT BUFFERS AND MEMORY DEVICES  
INCORPORATING SAME

Date: August 20, 2003

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

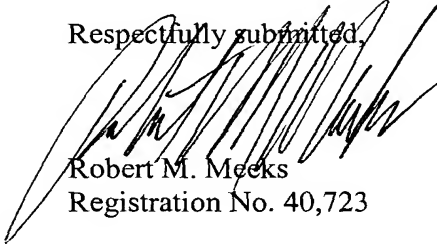
**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

10-2002-0054289, filed September 9, 2002.

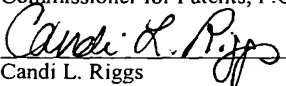
Respectfully submitted,

  
Robert M. Meeks  
Registration No. 40,723

**USPTO Customer No. 20792**  
Myers Bigel Sibley & Sajovec  
Post Office Box 37428  
Raleigh, North Carolina 27627  
Telephone: 919/854-1400  
Facsimile: 919/854-1401

"Express Mail" mailing label number EV 318420868 US  
Date of Deposit: August 20, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

  
Candi L. Riggs  
Date of Signature: August 20, 2003

대한민국특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0054289  
Application Number

출원년월일 : 2002년 09월 09일  
Date of Application SEP 09, 2002

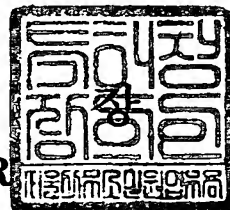
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      06      월      10      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.09.09
【발명의 명칭】	반도체 메모리 장치 및 이 장치의 센스 증폭기
【발명의 영문명칭】	Semiconductor memory device and sense amplifier thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	정승호
【성명의 영문표기】	JEUNG, SEONG HO
【주민등록번호】	690610-1163125
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 967-2 풍림아파트 603동 1202호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	9 면 9,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	24 항 877,000 원
【합계】	915,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 반도체 메모리 장치 및 이 장치의 센스 증폭기를 공개한다. 이 장치는 복수개의 워드 라인들과 복수개의 비트 라인들 사이에 연결된 복수개의 메모리 셀들을 구비한 메모리 셀 어레이, 프리디스차지 동작시에 복수개의 비트 라인들을 프리디스차지하는 프리디스차지 회로, 리드 동작시에 복수개의 비트 라인들과 복수개의 데이터 라인들 사이에 데이터를 전송하는 데이터 입출력 게이트 회로, 및 리드 동작시에 바이어스 제어 신호에 응답하여 복수개의 데이터 라인들 각각을 바이어스 전압 레벨로 바이어싱하는 바이어스 회로와, 리드 동작시에 센스 증폭기 인에이블 신호에 응답하여 복수개의 데이터 라인들 각각의 바이어스 전압 레벨의 변화를 감지하고 증폭하여 센스 출력신호를 발생하는 센스 증폭회로를 구비하는 센스 증폭기로 구성되어 있다. 따라서, 저전원전압에서 안정적으로 동작할 수 있다.

**【대표도】**

도 5

**【명세서】****【발명의 명칭】**

반도체 메모리 장치 및 이 장치의 센스 증폭기{Semiconductor memory device and sense amplifier thereof}

**【도면의 간단한 설명】**

도1은 종래의 반도체 메모리 장치의 개략적인 구성을 나타내는 블록도이다.

도2는 도1에 나타낸 센스 증폭기의 일예의 구성을 나타내는 회로도이다.

도3은 본 발명의 반도체 메모리 장치의 센스 증폭기의 일 실시예의 구성을 나타내는 회로도이다.

도4는 도3에 나타낸 회로의 동작을 설명하기 위한 동작 타이밍도이다.

도5는 본 발명의 반도체 메모리 장치의 센스 증폭기의 다른 실시예의 구성을 나타내는 회로도이다.

도6은 도5에 나타낸 회로의 동작을 설명하기 위한 동작 타이밍도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 저전원전압에서 안정적으로 동작할 수 있는 반도체 메모리 장치 및 이 장치의 센스 증폭기에 관한 것이다.

<8> 반도체 메모리 장치의 전원전압의 레벨이 낮아짐에 따라 종래의 센스 증폭기로는 안정된 동작을 수행할 수 없다는 문제점이 있었다.

- <9> 도1은 종래의 반도체 메모리 장치의 개략적인 구성을 나타내는 블록도로서, 1개의 데이터를 입출력하는 반도체 메모리 장치의 구성을 나타낸 것이다.
- <10> 도1에서, 반도체 메모리 장치는 플래쉬 메모리 셀(MC)들을 구비하는 메모리 셀 어레이(10), 로우 디코더(12), 프리디스차지 회로(14), 데이터 입출력 게이트 회로(16), 컬럼 디코더(18), 및 센스 증폭기(20)로 구성되어 있다.
- <11> 도1에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.
- <12> 메모리 셀 어레이(10)는 워드 라인들(WL1, WL2, ..., WL<sub>i</sub>) 각각과 비트 라인들(BL1, BL2, ..., BL<sub>j</sub>) 각각의 사이에 연결된 플래쉬 메모리 셀(MC)들로 구성되어 있다. 메모리 셀 어레이(10)는 소거 동작시에 모든 플래쉬 메모리 셀(MC)들에 데이터 "1"이 저장되고, 프로그램 동작시에 데이터 "0"이 프로그램된다. 로우 디코더(12)는 로우 어드레스(RA)를 디코딩하여 워드 라인들(WL1, WL2, ..., WL<sub>i</sub>)을 선택하기 위한 선택신호들을 발생한다. 프리디스차지 회로(14)는 비트 라인들(BL1, BL2, ..., BL<sub>j</sub>) 각각과 접지전압 사이에 연결되고 각각의 게이트로 프리디스차지 제어신호(DISCH)가 인가되는 NMOS트랜지스터(N1)들로 구성되어, 프리디스차지 제어신호(DISCH)에 응답하여 비트 라인들(BL1, BL2, ..., BL<sub>j</sub>)을 접지전압 레벨로 프리디스차지한다. 데이터 입출력 게이트 회로(16)는 비트 라인들(BL1, BL2, ..., BL<sub>j</sub>) 각각과 공통 노드(COM)사이에 연결되고 각각의 게이트로 컬럼 선택신호들(Y1, Y2, ..., Y<sub>j</sub>)이 인가되는 NMOS트랜지스터(N2)들로 구성되어, 컬럼 선택신호들(Y1, Y2, ..., Y<sub>j</sub>) 각각에 응답하여 온되어 비트 라인들(BL1, BL2, ..., BL<sub>j</sub>)과 공통

노드(COM)사이에 데이터를 전송한다. 컬럼 디코더(18)는 컬럼 어드레스(CA)를 디코딩하여 컬럼 선택신호들( $Y_1, Y_2, \dots, Y_j$ )을 발생한다. 센스 증폭기(20)는 리드 동작시에 바이어스 제어신호(BIAS)에 응답하여 공통 노드(COM)의 전류 변화를 감지하여 센스 출력신호(Sout)를 발생한다.

<13> 도2는 도1에 나타낸 센스 증폭기의 일예의 구성을 나타내는 회로도로서, PMOS트랜지스터(P1)와 NMOS트랜지스터(N3)로 구성되어 있다.

<14> 도2의 센스 증폭기는 전원전압(VDD)이 인가되는 소스와 센스 출력신호(Sout) 발생단자에 연결된 게이트와 드레인을 가진 PMOS트랜지스터(P1), 및 센스 출력신호(Sout) 발생단자에 연결된 드레인과 바이어스 제어신호(BIAS)가 인가되는 게이트와 공통 노드(COM)에 연결된 소스를 가진 NMOS트랜지스터(N3)로 구성되어 있다.

<15> 도2에서, NMOS트랜지스터(N3)의 상호 콘덕턴스는 PMOS트랜지스터(P1)의 상호 콘덕턴스에 비해서 큰 값을 가진다. 그리고, 센스 증폭기의 전압 이득은 PMOS트랜지스터(P1)와 NMOS트랜지스터(N3)의 상호 콘덕턴스의 비가 된다.

<16> 도2에 나타낸 회로의 동작을 설명하면 다음과 같다.

<17> 프리디스차지 동작시에 전원전압 레벨의 프리디스차지 제어신호(DISCH)가 발생되면 프리디스차지 제어신호(DISCH)에 응답하여 NMOS트랜지스터(N2)들이 온되어 비트 라인들( $BL_1, BL_2, \dots, BL_j$ )이 접지전압 레벨로 된다. 이때, 바이어스 제어신호(BIAS)는 접지전압 레벨이므로 NMOS트랜지스터(N3)가 오프되어 센스 출력신호(Sout)는 전압( $V_{DD}-V_{tp}$ ;  $V_{tp}$ 는 PMOS트랜지스터(P1)의 문턱전압을 나타낸다) 레벨이 된다.

<18> 리드 명령이 인가되면 전원전압 레벨의 바이어스 제어신호(BIAS)가 발생되고, 프리 디스차지 제어신호(DISCH)는 접지전압 레벨로 천이한다. 따라서, NMOS트랜지스터(N2)들이 오프되고, NMOS트랜지스터(N3)가 온된다. 따라서, NMOS트랜지스터(N3)를 통하여 전류가 흘러 공통 노드(COM)의 전압 레벨이 높아지게 된다. 공통 노드(COM)의 전압이 높아져서 NMOS트랜지스터(N3)의 게이트와 소스사이의 전압 차가 NMOS트랜지스터(N3)의 문턱전압보다 작아지게 되면 NMOS트랜지스터(N3)가 오프된다. 즉, 공통 노드(COM)의 전압이 바이어스 전압 레벨로 된다.

<19> 이 상태에서, 전원전압 레벨의 워드 라인(WL1) 선택신호, 및 컬럼 선택신호(Y1)가 발생되면 워드 라인(WL1)과 비트 라인(BL1)사이에서 연결된 플래쉬 메모리 셀(MC)이 선택된다. 이때, 플래쉬 메모리 셀(MC)에 데이터 "0"이 저장된 경우에는 NMOS트랜지스터(N1), 및 플래쉬 메모리 셀(MC)이 온되어 공통 노드(COM)로부터 플래쉬 메모리 셀(MC)을 통하여 전류가 흐르게 된다. 그러면, 공통 노드(COM)의 전압이 낮아지게 되고, NMOS트랜지스터(N3)가 온되어 NMOS트랜지스터(N3)를 통하여 전류가 흐르게 된다. 이에 따라, 센스 출력신호(Sout) 발생단자의 전압이 낮아지게 되는데, 센스 출력신호(Sout)의 전압은 센스 증폭기(20)의 전압 이득에 공통 노드(COM)의 전압 감소분을 곱한 값만큼 낮아지게 된다.

<20> 반면에, 플래쉬 메모리 셀(MC)에 데이터 "1"이 저장된 경우에는 플래쉬 메모리 셀(MC)이 오프됨으로써 공통 노드(COM)로부터 플래쉬 메모리 셀(MC)을 통하여 전류가 흐르지 않게 된다. 따라서, NMOS트랜지스터(N4)가 오프됨으로써 센스 출력신호(Sout) 발생단자의 전압은 전압( $V_{DD}-V_{tp}$ ) 레벨을 유지한다.



- <21> 상술한 바와 같은 동작을 수행하는 도2에 나타난 센스 증폭기가 동작할 수 있는 최소 전원전압을 구하여 보면 다음과 같다.
- <22> 리드 동작 동안 데이터 라인의 최소 전압은 약 0.4V이고, NMOS트랜지스터(N3)의 드레인과 소스사이의 전압 차는 최소 0.2V이고, PMOS트랜지스터(P1)의 문턱전압은 최소 0.4V이고, 플래쉬 메모리 셀이 데이터 "0"으로 프로그램된 경우에 PMOS트랜지스터(P1)의 효과적인 구동 전압은 최소 0.2V이다.
- <23> 따라서, 이들 전압들을 모두 더하면 최소 전원전압은 약 1.2V가 된다.
- <24> 즉, 도2에 나타난 종래의 센스 증폭기는 다이오우드 구성의 PMOS트랜지스터(P1)로 인해서 최소 0.4V 정도의 전압 강하가 발생하게 됨으로 인해서 1.2V 이상의 전원전압이 인가되는 경우에는 정상적으로 동작할 수 있으나, 이 전압보다 작은 전압이 인가되는 경우에는 정상적으로 동작할 수 없게 된다. 그러나, 공정 및 온도 변화를 고려한다면 1.2V의 전원전압이 인가되는 경우에도 제대로 동작할 수 없다는 문제가 있다.
- <25> 결과적으로, 종래의 반도체 메모리 장치의 센스 증폭기는 1.0V이하의 저전원전압에서는 안정적으로 동작할 수 없다는 문제가 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <26> 본 발명의 목적은 저전원전압에서 안정적으로 동작할 수 있는 반도체 메모리 장치를 제공하는데 있다.
- <27> 본 발명의 다른 목적은 저전원전압에서 안정적으로 동작할 수 있는 반도체 메모리 장치의 센스 증폭기를 제공하는데 있다.

<28>       상기 목적을 달성하기 위한 반도체 메모리 장치는 복수개의 워드 라인들과 복수개의 비트 라인들 사이에 연결된 복수개의 메모리 셀들을 구비한 메모리 셀 어레이, 프리디스차지 동작시에 상기 복수개의 비트 라인들을 프리디스차지하는 프리디스차지 회로, 리드 동작시에 상기 복수개의 비트 라인들과 복수개의 데이터 라인들 사이에 데이터를 전송하는 데이터 입출력 게이트 회로, 및 상기 리드 동작시에 바이어스 제어신호에 응답하여 상기 복수개의 데이터 라인들 각각을 바이어스 전압 레벨로 바이어스하는 바이어스 회로와, 상기 리드 동작시에 센스 증폭기 인에이블 신호에 응답하여 상기 복수개의 데이터 라인들 각각의 바이어스 전압 레벨의 변화를 감지하고 증폭하여 센스 출력신호를 발생하는 센스 증폭회로를 구비하는 센스 증폭기를 구비하는 것을 특징으로 한다.

<29>       상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 센스 증폭기는 바이어스 제어신호에 응답하여 센스 입력신호 단자를 바이어스 전압 레벨로 바이어스하는 바이어스 회로, 및 센스 증폭기 인에이블 신호에 응답하여 상기 센스 입력신호 단자의 바이어스 전압 레벨의 변화를 감지하고 증폭하여 센스 출력신호를 발생하는 센스 증폭회로를 구비하는 것을 특징으로 한다.

<30>       상기 센스 증폭기의 바이어스 회로는 전원전압과 상기 센스 입력신호 단자 사이에 연결된 제1트랜지스터, 상기 바이어스 제어신호에 응답하여 온되어 상기 제1트랜지스터를 오프하고 상기 센스 증폭기 인에이블 신호가 인에이블되면 온되는 제2트랜지스터, 및 상기 바이어스 제어신호에 응답하여 인에이블되어 상기 센스 입력신호 단자의 전압을 버퍼하고, 상기 센스 증폭기 인에이블 신호가 인에이블되면 디스에이블되는 제1버퍼를 구비하는 것을 특징으로 한다.

<31>      상기 센스 증폭기의 센스 증폭회로의 제1형태는 전원전압과 제1노드 사이에 연결되어 상기 제1노드로 전류를 공급하는 제3트랜지스터, 상기 센스 증폭기 인에이블 신호에 응답하여 인에이블되고 상기 센스 입력신호 단자의 전압을 반전하여 제2노드로 출력하는 인버터, 상기 제2노드와 접지전압 사이에 연결되고 상기 센스 증폭기 인에이블 신호에 응답하여 오프되는 제4트랜지스터, 상기 제1노드와 센스 입력신호 단자 사이에 연결되고 상기 제2노드의 전압 레벨에 응답하여 온되어 상기 제1노드로부터 상기 센스 입력신호 단자로 전류를 흐르게 하는 제5트랜지스터, 및 상기 센스 증폭기 인에이블 신호에 응답하여 인에이블되고 상기 제1노드의 전압을 버퍼하여 상기 센스 출력신호를 발생하는 제2버퍼를 구비하는 것을 특징으로 한다.

<32>      상기 센스 증폭기의 센스 증폭회로의 제2형태는 전원전압과 제1노드 사이에 연결되어 상기 제1노드로 전류를 공급하는 제3트랜지스터, 상기 제1노드와 상기 센스 입력신호 단자 사이에 연결되고 상기 센스 증폭기 인에이블 신호에 응답하여 온되어 상기 센스 입력신호 단자로 전류를 공급하는 제4트랜지스터, 및 상기 센스 증폭기 인에이블 신호에 응답하여 인에이블되어 상기 센스 입력신호 단자의 전압을 버퍼하여 상기 센스 출력신호를 발생하는 제2버퍼를 구비하는 것을 특징으로 한다.

#### 【발명의 구성 및 작용】

<33>      이하, 첨부한 도면을 참고로 하여 본 발명의 반도체 메모리 장치 및 이 장치의 센스 증폭기를 설명하면 다음과 같다.

<34>      도3은 본 발명의 반도체 메모리 장치의 센스 증폭기의 일 실시예의 구성을 나타내는 회로도로서, PMOS트랜지스터들(P2, P3), 및 버퍼(BUF1)로 구성된 바이어스 회로(30),

및 PMOS트랜지스터(P4), NMOS트랜지스터들(N4, N5), 인버터(INV), 및 버퍼(BUF2)로 구성된 증폭 회로(32)로 구성되어 있다.

<35> 도3에서, 바이어스 회로(30)는 전원전압(VDD)이 인가되는 소스와 공통 노드(COM)에 연결된 드레인과 노드(n1)에 연결된 게이트를 가진 PMOS트랜지스터(P2), 노드(n1)에 연결된 드레인과 전원전압이 인가되는 소스와 바이어스 제어신호(BEN)가 인가되는 게이트를 가진 PMOS트랜지스터(P3), 및 공통 노드(COM)에 연결된 입력 단자와 노드(n1)에 연결된 출력 단자와 바이어스 제어신호(BEN)가 인가되는 인에이블 단자를 가진 버퍼(BUF1)로 구성되어 있다. 증폭 회로(32)는 전원전압(VDD)이 인가되는 소스와 접지전압이 인가되는 게이트와 노드(n3)에 연결된 드레인을 가진 PMOS트랜지스터(P4), PMOS트랜지스터(P4)의 드레인에 연결된 드레인과 노드(n2)에 연결된 게이트와 공통 노드(COM)에 연결된 소스를 가진 NMOS트랜지스터(N4), 공통 노드(COM)에 연결된 입력 단자와 노드(n2)에 연결된 출력 단자와 센스 증폭기 인에이블 신호(SEN)가 인가되는 인에이블 단자를 가진 인버터(INV), 노드(n2)에 연결된 드레인과 센스 증폭기 인에이블 신호(SEN)가 인가되는 게이트와 접지전압에 연결된 소스를 가진 NMOS트랜지스터(N5), 및 노드(n3)에 연결된 입력 단자와 센스 출력신호(Sout) 발생단자에 연결된 출력 단자와 센스 증폭기 인에이블 신호(SEN)가 인가되는 인에이블 단자를 가진 버퍼(BUF2)로 구성되어 있다.

<36> 도4는 도3에 나타난 회로의 동작을 설명하기 위한 동작 타이밍도로서, 도1 및 도4를 이용하여 도3에 나타난 회로의 동작을 설명하면 다음과 같다.

<37> 도4에서, 프리디스차지 제어신호(DISCH)는 리드 동작 동안 접지전압 레벨을 유지하고, 바이어스 제어신호(BEN)는 프리디스차지 제어신호(DISCH)의 하강 천이에 응답하여 상승하고 소정 시간 후에 하강하는 펄스 신호이다. 센스 증폭기 인에이블 신호(SEN)는

바이어스 제어신호(BEN)의 하강 천이에 응답하여 하강하고 프리디스차지 제어신호(DISCH)의 상승 천이에 응답하여 상승하는 펄스 신호이다. 그리고, 워드 라인(WL1) 선택 신호는 바이어스 제어신호(BEN)의 하강 천이에 응답하여 상승하고 프리디스차지 제어신호(DISCH)의 상승 천이에 응답하여 하강하는 펄스 신호이다.

<38> 프리디스차지 동작 기간(T1)에서, 전원전압 레벨의 프리디스차지 제어신호(DISCH)가 발생되면 프리디스차지 제어신호(DISCH)에 응답하여 도1에 나타낸 NMOS트랜지스터(N2)들이 온되어 비트 라인들(BL1, BL2, ..., BLj)이 접지전압 레벨로 된다. 접지전압 레벨의 바이어스 제어신호(BEN)에 응답하여 버퍼(BUF1)가 오프되고 PMOS트랜지스터(P3)가 온되어 노드(n1)가 전원전압 레벨로 된다. 그러면, PMOS트랜지스터(P2)가 오프된다. 그리고, 전원전압 레벨의 센스 증폭기 인에이블 신호(SEN)에 응답하여 인버터(INV)와 버퍼(BUF2)가 디스에이블된다. 이 기간에서, 센스 출력신호(Sout)는 전원전압 레벨로 설정되고, 설정된 레벨을 유지한다. 그리고, 노드(n3)는 PMOS트랜지스터(P4)가 온되고 NMOS트랜지스터(N4)가 오프되어 있으므로 전원전압(VDD) 레벨이 된다.

<39> 리드 동작 동안 바이어스 기간(T2)에서, 전원전압 레벨의 바이어스 제어신호(BEN)가 발생되고, 프리디스차지 제어신호(DISCH)는 접지전압 레벨로 천이한다. 따라서, PMOS트랜지스터(P3)는 오프되고 버퍼(BUF1)는 공통 노드(COM)의 접지전압 레벨의 신호를 버퍼하여 노드(n1)로 접지전압 레벨을 출력한다. 그러면, PMOS트랜지스터(P2)가 온되어 공통 노드(COM)의 전압 레벨을 높여주게 된다. 공통 노드(COM)의 전압이 버퍼(BUF1)의 문턱전압인 약  $VDD/2$  레벨에 도달하게 되면 버퍼(BUF1)가 노드(n1)로 전원전압 레벨을 출력한다. 이에 따라, PMOS트랜지스터(P2)가 오프된다. 이와같은 방법으로 공통 노드(COM)

의 전압이 약  $VDD/2$  레벨로 바이어싱된다. 이때, 전원전압 레벨의 센스 증폭기 인에이블 신호(SEN)에 응답하여 버퍼(BUF2)가 디스에이블되고 센스 출력신호(Sout)는 기간(T1)에 설정된 전원전압 레벨을 유지한다. 노드(n3)는 PMOS트랜지스터(P4)가 온되고 NMOS트랜지스터(N4)가 오프되어 있으므로 전원전압 레벨을 유지한다.

<40> 리드 동작 동안 센싱 기간(T3)에서, 전원전압 레벨의 워드 라인(WL1) 선택신호, 및 컬럼 선택신호(Y1)에 응답하여 워드 라인(WL1)과 비트 라인(BL1)사이에 연결된 플래쉬 메모리 셀(MC)이 선택된다. 이때, 선택된 플래쉬 메모리 셀에 데이터 "0"이 저장되어 있다면, 도1에 나타난 NMOS트랜지스터(N2) 및 플래쉬 메모리 셀(MC)이 온되어 공통 노드(COM)로부터 플래쉬 메모리 셀(MC)을 통하여 전류가 흐르게 된다. 따라서, 공통 노드(COM)의 전압이 낮아지게 된다. 그리고, 접지전압 레벨의 바이어스 제어신호(BEN)와 센스 증폭기 인에이블 신호(SEN)에 응답하여 PMOS트랜지스터(P3)가 온되고, NMOS트랜지스터(N5)가 오프되고, 버퍼(BUF1)가 디스에이블되고, 인버터(INV)와 버퍼(BUF2)가 인에이블된다. PMOS트랜지스터(P3)가 온됨에 의해서 노드(n1)가 접지전압 레벨로 되고, 이에 따라 PMOS트랜지스터(P2)가 온되어 공통 노드(COM)로 전류를 공급한다. 그런데, 공통 노드(COM)로부터 플래쉬 메모리 셀(MC)을 통하여 전류가 계속적으로 흐르기 때문에 공통 노드(COM)의 전압은 서서히 낮아지게 된다. 인버터(INV)는 공통 노드(COM)의 전압이 인버터(INV)의 문턱전압인 약  $VDD/2$ 에 도달하게 되면 노드(n2)로 전원전압 레벨의 신호를 발생한다. 그러면, NMOS트랜지스터(N4)가 온되어 노드(n3)로부터 공통 노드(COM)로 전류가 흐르게 된다. 따라서, 노드(n3)의 전압이 낮아지게 된다. 이때, PMOS트랜지스터(P4)의 상호 콘덕턴스가 작고 NMOS트랜지스터(N4)의 상호 콘덕턴스가 크기 때문에 노드(n3)의 전압은 서서히 떨어지게 된다. 버퍼(BUF2)는 노드(n2)의 전압이 버퍼(BUF2)의 문턱전

압인 약  $V_{DD}/2$ 에 도달하게 되면 접지전압 레벨의 센스 출력신호(Sout)를 발생한다. 타이밍도에서, 공통 노드(COM), 노드(n3), 및 센스 출력신호(Sout)의 변화를 실선으로 나타내었다.

<41>       반면에, 선택된 플래쉬 메모리 셀(MC)에 데이터 "1"이 저장되어 있다면, 플래쉬 메모리 셀(MC)에 오프되기 때문에 공통 노드(COM)로부터 플래쉬 메모리 셀(MC)을 통하여 전류가 흐르지 않게 된다. 따라서, 공통 노드(COM)의 전압 감소가 발생되지 않게 된다. 따라서, 인버터(INV)는 노드(n2)로 접지전압 레벨의 신호를 발생하고, NMOS트랜지스터(N4)는 오프된다. 노드(n3)는 전원전압 레벨을 유지하고, 버퍼(BUF2)는 전원전압 레벨의 센스 출력신호(Sout)를 발생한다. 타이밍도에서, 공통 노드(COM), 노드(n3), 및 센스 출력신호(Sout)의 변화를 점선으로 나타내었다.

<42>       상술한 바와 같은 동작을 수행하는 도3에 나타낸 센스 증폭기가 동작할 수 있는 최소 전원전압을 구하여 보면 다음과 같다.

<43>       리드 동작 동안 데이터 라인의 최소 전압은 약 0.4V이고, NMOS트랜지스터(N4)의 문턱전압은 최소 0.4V이고, 바디 이펙트에 의한 문턱전압의 변화는 최소 0.2V이다. 따라서, 이들 전압들을 모두 더하면 최소 전원전압이 약 1.0V가 된다.

<44>       즉, 도3에 나타낸 본 발명의 센스 증폭기는 PMOS트랜지스터(P4)에 의한 전압 강하가 발생하지 않기 때문에 1.0V의 전원전압이 인가되는 경우에도 정상적으로 동작할 수 있다. 그러나, 도3에 나타낸 센스 증폭기는 도2에 나타낸 종래의 센스 증폭기에 비해 낮은 전원전압에서 동작할 수 있으나, 공정 및 온도 변화를 고려한다면 1.0V의 전원전압에서 안정적으로 동작할 수 없다.

- <45> 도5는 본 발명의 반도체 메모리 장치의 센스 증폭기의 다른 실시예의 구성을 나타내는 회로도로서, PMOS트랜지스터들(P2, P3), 및 버퍼(BUF1)로 구성된 바이어스 회로(30), 및 PMOS트랜지스터들(P5, P6), 및 버퍼(BUF3)로 구성된 증폭 회로(34)로 구성되어 있다.
- <46> 도5의 센스 증폭기의 바이어스 회로(30)는 도3의 센스 증폭기의 바이어스 회로(30)의 구성과 동일하므로 설명을 생략하기로 한다.
- <47> 증폭 회로(34)는 전원전압(VDD)이 인가되는 소스와 접지전압이 인가되는 게이트를 가진 PMOS트랜지스터(P5), PMOS트랜지스터(P5)의 드레인에 연결된 소스와 센스 증폭기 인에이블 신호(SEN) 발생단자에 연결된 게이트와 공통 노드(COM)에 연결된 드레인을 가진 PMOS트랜지스터(P6), 및 공통 노드(COM)에 연결된 입력 단자와 센스 출력신호(Sout) 발생단자에 연결된 출력 단자와 센스 증폭기 인에이블 신호(SEN)가 인가되는 인에이블 단자를 가진 버퍼(BUF3)로 구성되어 있다.
- <48> 도6은 도5에 나타낸 회로의 동작을 설명하기 위한 동작 타이밍도로서, 도6을 이용하여 도5에 나타낸 회로의 동작을 설명하면 다음과 같다.
- <49> 도6에서, 바이어스 제어신호(BEN), 센스 증폭기 인에이블 신호(SEN), 및 워드라인(WL) 선택신호는 도4의 타이밍도에서와 같은 방법으로 발생된다.
- <50> 바이어스 회로(30)의 동작은 도3에 나타낸 바이어스 회로(30)의 동작과 동일하므로 도4의 설명을 참고로 하면 쉽게 이해될 것이다.
- <51> 프리디스차지 동작 기간(T1)에서, 바이어스 회로(30)에 의해서 공통 노드(COM)가 접지전압 레벨로 된다. 전원전압 레벨의 센스 증폭기 인에이블 신호(SEN)가 발생되면



PMOS트랜지스터(P6)가 오프되고 버퍼(BUF3)는 디스에이블된다. 따라서, 센스 출력신호(Sout)는 초기에 설정된 전원전압 레벨을 유지한다.

<52> 리드 동작 동안 바이어스 기간(T2)에서, 바이어스 회로(30)에 의해서 공통 노드(COM)의 전압이 전원전압 레벨로 바이어싱된다.

<53> 리드 동작 동안 센싱 기간(T3)에서, 만일 플래쉬 메모리 셀(MC)에 데이터 "0"이 저장되어 플래쉬 메모리 셀(MC)이 온되면 공통 노드(COM)를 통하여 플래쉬 메모리 셀(MC)로 전류가 흐르게 되어 공통 노드(COM)의 전압 레벨이 낮아지게 된다. 접지전압 레벨의 센스 증폭기 인에이블 신호(SEN)가 발생되면 PMOS트랜지스터(P6)가 온되고 버퍼(BUF3)가 인에이블된다. 따라서, 공통 노드(COM)의 전압이 버퍼(BUF3)의 문턱전압인  $V_{DD}/2$  레벨에 도달하게 되면 버퍼(BUF3)가 접지전압 레벨의 센스 출력신호(Sout)를 발생한다. 타이밍도에서, 공통 노드(COM), 및 센스 출력신호(Sout)의 변화를 실선으로 나타내었다.

<54> 반면에 기간(T3)에서, 만일 플래쉬 메모리 셀(MC)에 데이터 "0"이 저장되어 플래쉬 메모리 셀(MC)이 오프되면 공통 노드(COM)로부터 플래쉬 메모리 셀(MC)을 통하여 전류가 흐르지 않게 됨으로써 공통 노드(COM)의 전압이 낮아지지 않게 된다. 따라서, 버퍼(BUF3)는 전원전압 레벨의 센스 출력신호(Sout)를 발생한다. 타이밍도에서, 공통 노드(COM), 및 센스 출력신호(Sout)의 변화를 점선으로 나타내었다.

<55> 그리고, PMOS트랜지스터들(P5, P6)은 아주 작게 설계되어 기간(T3)에서 PMOS트랜지스터(P6)가 온됨으로써 공통 노드(COM)로부터 선택된 비트 라인에 연결된 플래쉬 메모리 셀들(MC)을 통하여 흐르는 누설 전류를 보상해주게 된다.

- <56> 상술한 바와 같은 동작을 수행하는 도5에 나타낸 센스 증폭기가 동작할 수 있는 최소 전원전압을 구하여 보면 다음과 같다.
- <57> PMOS트랜지스터들(P5, P6)에 의한 전압 강하가 발생하지 않기 때문에 리드 동작 동안 데이터 라인의 최소 전압이 약 0.4V이므로 최소 동작 전압은 약 0.4V가 된다.
- <58> 즉, 도5에 나타낸 센스 증폭기는 최소 동작 전압이 약 0.4V이므로 1.0V의 저전원전압이 인가되는 경우에도 안정적으로 동작할 수 있다.
- <59> 상술한 실시예는 플래쉬 메모리 셀을 구비한 반도체 메모리 장치를 예로 들어 설명하였으나, 플래쉬 메모리 셀이 아닌 리드 전용 메모리 셀을 구비한 반도체 메모리 장치의 경우에도 본 발명의 센스 증폭기가 적용 가능하다.
- <60> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

#### 【발명의 효과】

- <61> 본 발명의 반도체 메모리 장치 및 이 장치의 센스 증폭기는 저전원전압에서도 안정적으로 동작할 수 있다.
- <62> 따라서, 저전원전압에서 동작하는 반도체 메모리 장치의 동작 신뢰성이 향상될 수 있다.

**【특허청구범위】****【청구항 1】**

복수개의 워드 라인들과 복수개의 비트 라인들 사이에 연결된 복수개의 메모리 셀들을 구비한 메모리 셀 어레이;

프리디스차지 동작시에 상기 복수개의 비트 라인들을 프리디스차지하는 프리디스차지 회로;

리드 동작시에 상기 복수개의 비트 라인들과 복수개의 데이터 라인들 사이에 데이터를 전송하는 데이터 입출력 게이트 회로; 및

상기 리드 동작시에 바이어스 제어신호에 응답하여 상기 복수개의 데이터 라인들 각각을 바이어스 전압 레벨로 바이어싱하는 바이어스 회로와, 상기 리드 동작시에 센스 증폭기 인에이블 신호에 응답하여 상기 복수개의 데이터 라인들 각각의 바이어스 전압 레벨의 변화를 감지하고 증폭하여 센스 출력신호를 발생하는 센스 증폭회로를 구비하는 센스 증폭기를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 2】**

제1항에 있어서, 상기 바이어스 회로는

전원전압과 상기 데이터 라인 사이에 연결된 제1트랜지스터;

상기 프리디스차지 동작시에 상기 바이어스 제어신호에 응답하여 온되어 상기 제1트랜지스터를 오프하고 상기 리드 동작시에 상기 센스 증폭기 인에이블 신호가 인에이블 되면 온되는 제2트랜지스터; 및

상기 리드 동작시에 상기 바이어스 제어신호에 응답하여 인에이블되어 상기 데이터 라인의 전압을 버퍼하고, 상기 리드 동작시에 상기 센스 증폭기 인에이블 신호가 인에이블되면 디스에이블되는 제1버퍼를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 3】**

제2항에 있어서, 상기 제1 및 제2트랜지스터들 각각은 PMOS트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 4】**

제2항에 있어서, 상기 제1버퍼는

상기 데이터 라인의 전압이 상기 바이어스 전압 레벨보다 높으면 전원전압 레벨의 신호를 발생하고, 낮으면 접지전압 레벨의 신호를 발생하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 5】**

제1항에 있어서, 상기 센스 증폭회로는

전원전압과 제1노드사이에 연결되어 상기 제1노드로 전류를 공급하는 제3트랜지스터;

상기 센스 증폭기 인에이블 신호에 응답하여 인에이블되고 상기 데이터 라인의 전압 레벨을 반전하여 제2노드로 출력하는 인버터;

상기 제2노드와 접지전압사이에 연결되고 상기 리드 동작시에 상기 센스 증폭기 인에이블 신호에 응답하여 오프되는 제4트랜지스터;

상기 제1노드와 데이터 라인사이에 연결되고 상기 제2노드의 전압 레벨에 응답하여 온되어 상기 제1노드로부터 상기 데이터 라인으로 전류를 흐르게 하는 제5트랜지스터; 및

상기 센스 증폭기 인에이블 신호에 응답하여 인에이블되고 상기 제1노드의 전압을 버퍼하여 상기 센스 출력신호를 발생하는 제2버퍼를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 6】**

제5항에 있어서, 상기 제5트랜지스터의 상호 콘덕턴스가 상기 제3트랜지스터의 상호 콘덕턴스보다 큰 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 7】**

제5항에 있어서, 상기 제3트랜지스터는

PMOS트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 8】**

제5항에 있어서, 상기 제4 및 제5트랜지스터들 각각은

NMOS트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 9】**

제5항에 있어서, 상기 인버터는

상기 데이터 라인의 전압이 상기 바이어스 전압 레벨보다 높으면 접지전압 레벨의 신호를 발생하고, 낮으면 전원전압 레벨의 신호를 발생하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 10】

제1항에 있어서, 상기 센스 증폭회로는

전원전압과 제1노드사이에 연결되어 상기 제1노드로 전류를 공급하는 제3트랜지스터;

상기 제1노드와 상기 데이터 라인사이에 연결되고 상기 센스 증폭기 인에이블 신호에 응답하여 온되어 상기 데이터 라인으로 전류를 공급하는 제4트랜지스터; 및

상기 센스 증폭기 인에이블 신호에 응답하여 인에이블되어 상기 데이터 라인의 전압을 버퍼하여 상기 센스 출력신호를 발생하는 제2버퍼를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 11】

제10항에 있어서, 상기 제3 및 제4트랜지스터들 각각은

PMOS트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 12】

제10항에 있어서, 상기 제2버퍼는

상기 데이터 라인의 전압 레벨이 상기 바이어스 전압 레벨보다 낮으면 접지전압 레벨의 센스 출력신호를 발생하고, 높으면 전원전압 레벨의 센스 출력신호를 발생하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 13】**

바이어스 제어신호에 응답하여 센스 입력신호 단자를 바이어스 전압 레벨로 바이어싱하는 바이어스 회로; 및

센스 증폭기 인에이블 신호에 응답하여 상기 센스 입력신호 단자의 바이어스 전압 레벨의 변화를 감지하고 증폭하여 센스 출력신호를 발생하는 센스 증폭회로를 구비하는 것을 특징으로 하는 센스 증폭기.

**【청구항 14】**

제13항에 있어서, 상기 바이어스 회로는

전원전압과 상기 센스 입력신호 단자사이에 연결된 제1트랜지스터;

상기 바이어스 제어신호에 응답하여 온되어 상기 제1트랜지스터를 오프하고 상기 센스 증폭기 인에이블 신호가 인에이블되면 온되는 제2트랜지스터; 및

상기 바이어스 제어신호에 응답하여 인에이블되어 상기 센스 입력신호 단자의 전압을 버퍼하고, 상기 센스 증폭기 인에이블 신호가 인에이블되면 디스에이블되는 제1버퍼를 구비하는 것을 특징으로 하는 센스 증폭기.

**【청구항 15】**

제14항에 있어서, 상기 제1 및 제2트랜지스터들 각각은

PMOS트랜지스터인 것을 특징으로 하는 센스 증폭기.

**【청구항 16】**

제14항에 있어서, 상기 제1버퍼는

상기 센스 입력신호 단자의 전압이 상기 바이어스 전압 레벨보다 높으면 전원전압 레벨의 신호를 발생하고, 낮으면 접지전압 레벨의 신호를 발생하는 것을 특징으로 하는 센스 증폭기.

**【청구항 17】**

제13항에 있어서, 상기 센스 증폭회로는

전원전압과 제1노드사이에 연결되어 상기 제1노드로 전류를 공급하는 제3트랜지스터;

상기 센스 증폭기 인에이블 신호에 응답하여 인에이블되고 상기 센스 입력신호 단자의 전압을 반전하여 제2노드로 출력하는 인버터;

상기 제2노드와 접지전압사이에 연결되고 상기 센스 증폭기 인에이블 신호에 응답하여 오프되는 제4트랜지스터;

상기 제1노드와 센스 입력신호 단자사이에 연결되고 상기 제2노드의 전압 레벨에 응답하여 온되어 상기 제1노드로부터 상기 센스 입력신호 단자로 전류를 흐르게 하는 제5트랜지스터; 및

상기 센스 증폭기 인에이블 신호에 응답하여 인에이블되고 상기 제1노드의 전압을 버퍼하여 상기 센스 출력신호를 발생하는 제2버퍼를 구비하는 것을 특징으로 하는 센스 증폭기.

**【청구항 18】**

제17항에 있어서, 상기 제5트랜지스터의 상호 콘덕턴스가 상기 제3트랜지스터의 상호 콘덕턴스보다 큰 것을 특징으로 하는 센스 증폭기.



**【청구항 19】**

제17항에 있어서, 상기 제3트랜지스터는

PMOS트랜지스터인 것을 특징으로 하는 센스 증폭기.

**【청구항 20】**

제17항에 있어서, 상기 제4 및 제5트랜지스터들 각각은

NMOS트랜지스터인 것을 특징으로 하는 센스 증폭기.

**【청구항 21】**

제17항에 있어서, 상기 인버터는

상기 센스 입력신호 단자의 전압이 상기 바이어스 전압 레벨보다 높으면 접지전압 레벨의 신호를 발생하고, 낮으면 전원전압 레벨의 신호를 발생하는 것을 특징으로 하는 센스 증폭기.

**【청구항 22】**

제13항에 있어서, 상기 센스 증폭회로는

전원전압과 제1노드사이에 연결되어 상기 제1노드로 전류를 공급하는 제3트랜지스터;

상기 제1노드와 상기 센스 입력신호 단자사이에 연결되고 상기 센스 증폭기 인에이블 신호에 응답하여 온되어 상기 센스 입력신호 단자로 전류를 공급하는 제4트랜지스터; 및

상기 센스 증폭기 인에이블 신호에 응답하여 인에이블되어 상기 센스 입력신호 단자의 전압을 버퍼하여 상기 센스 출력신호를 발생하는 제2버퍼를 구비하는 것을 특징으로 하는 센스 증폭기.

【청구항 23】

제22항에 있어서, 상기 제3 및 제4트랜지스터들 각각은 PMOS트랜지스터인 것을 특징으로 하는 센스 증폭기.

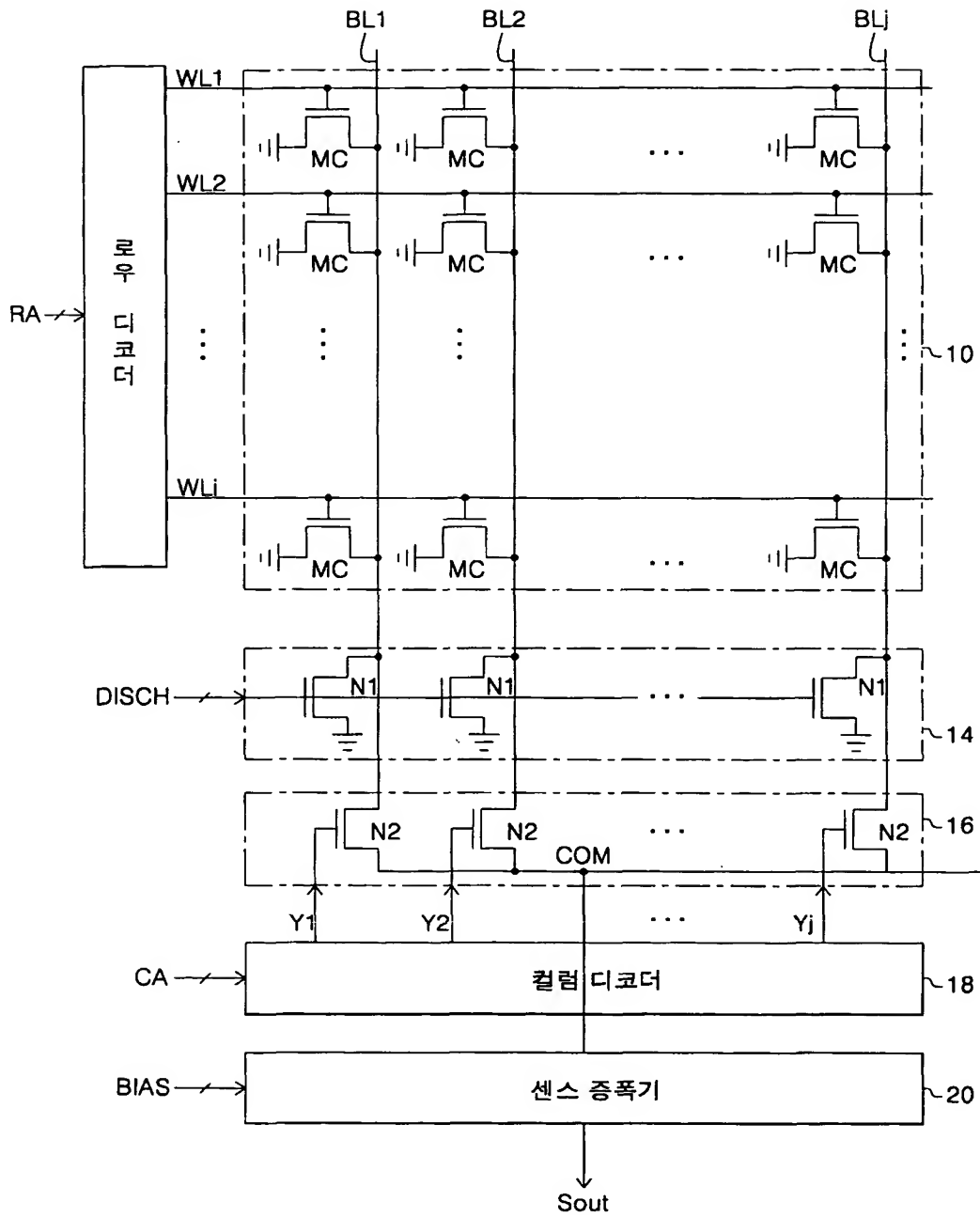
【청구항 24】

제22항에 있어서, 상기 제2버퍼는

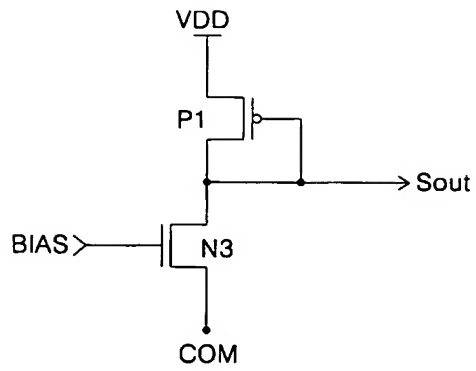
상기 센스 입력신호 단자의 전압이 상기 바이어스 전압 레벨보다 높으면 전원전압 레벨의 상기 센스 출력신호를 발생하고, 낮으면 접지전압 레벨의 상기 센스 출력신호를 발생하는 것을 특징으로 하는 센스 증폭기.

【도면】

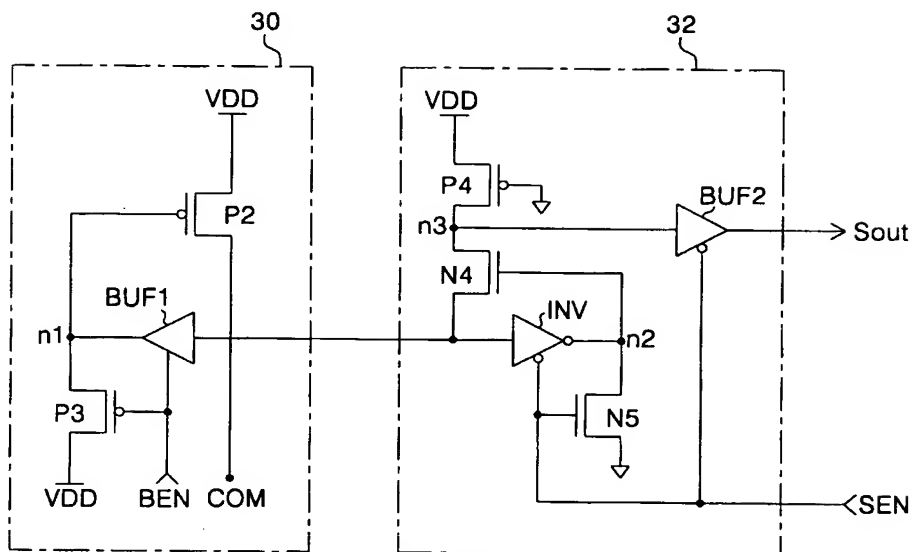
【도 1】



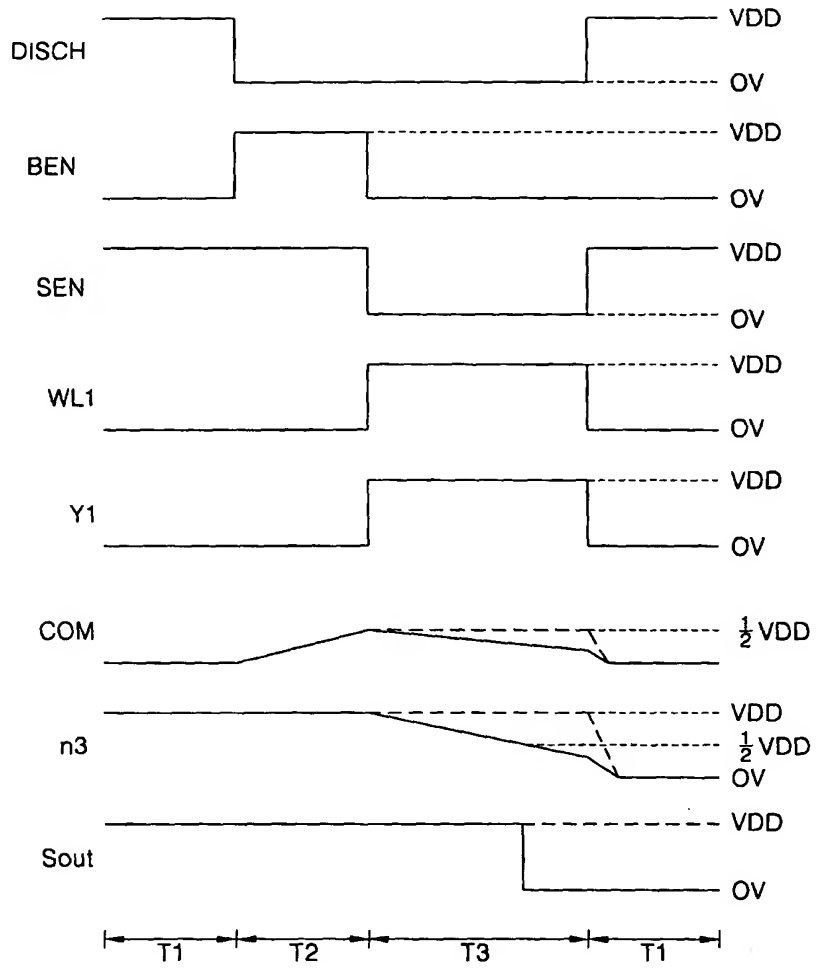
【도 2】



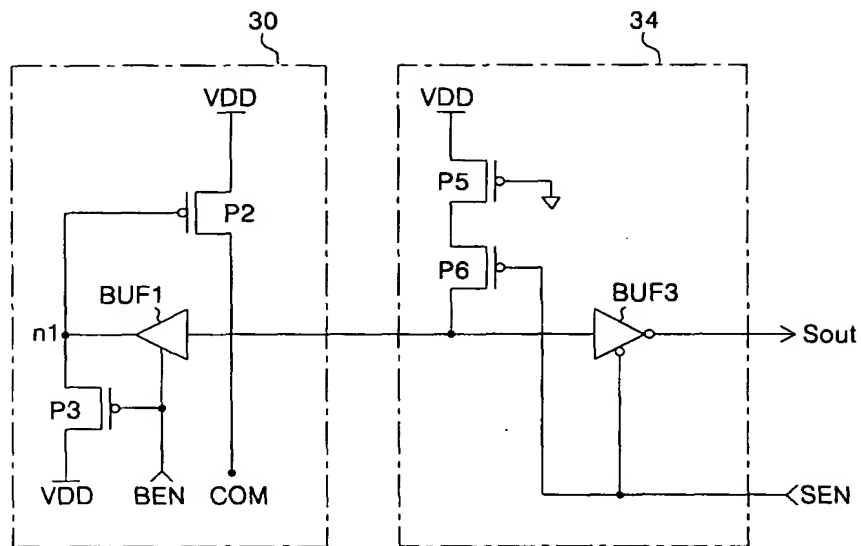
【도 3】



【도 4】



【도 5】



【도 6】

